

[Inicio](#) > Red-RISCV: Red-RISCV: Investigación, Formación e Innovación en Sistemas RISC-V y Open-source Hw/Sw

---

## [Red-RISCV: Red-RISCV: Investigación, Formación e Innovación en Sistemas RISC-V y Open-source Hw/Sw](#)

### Description

Actualmente existen múltiples procesadores comerciales para el desarrollo de sistemas HW/SW, pero todos ellos son núcleos con un repertorio de instrucciones (ISA) cerrado, protegido y propietario, cuyo uso está sometido a caras licencias de explotación o limitado a la utilización de componentes y sistemas de desarrollo disponibles en el mercado. Uno de los ejemplos es la familia de procesadores RISC ARM que actualmente dominan ampliamente el mercado.

Cualquier SoC (System on Chip) que incluya algún núcleo ARM se ve sometido al pago de royalties vía compra de la IP al diseñador del núcleo o de la licencia arquitectural. Todo ello sucede en un momento donde el software abierto es ya una realidad que ha facilitado enormemente su evolución, uso y adaptación para aplicaciones específicas. Así mismo, en términos de microelectrónica y desde el punto de vista de desarrollo de SoCs específicos, los procesos son cada vez más asequibles y viables tanto técnica como económicamente, excepto si se incluye un núcleo procesador propietario en cuyo caso los costes de las licencias y de la infraestructura de base son disuasorios para la mayoría de las empresas.

Durante la última década se ha ido fraguando una iniciativa nacida en la Universidad de California en Berkeley para el desarrollo del procesador RISC-V de ISA abierto y público que eliminaría la mayor parte de las restricciones impuestas por los ISAs propietarios y haría accesible a cualquier empresa el uso de tales arquitecturas libres de royalties, abriendo una senda para el hardware abierto y libre. De la misma forma que los procesadores ARM dominan el mercado actual, cabe decir que la onda expansiva del ecosistema creado alrededor del RISC-V está dominando las tendencias y estrategias de futuro y promete una rápida democratización del hardware y su avance hacia el open-source Hw/Sw. De hecho, la Comisión Europea ha identificado el ISA abierto RISC-V como el ISA del futuro acelerador europeo en el marco del European Processor Initiative (EPI). Este diseño está siendo liderado por el Barcelona Supercomputing Center (BSC), promotor de esta red junto al Centro Nacional de Microelectrónica (CNM). En esta propuesta se hace especial énfasis en la necesaria combinación de dos perfiles complementarios para cubrir sólidamente toda la cadena de desarrollo.

Barcelona Supercomputing Center - Centro Nacional de Supercomputación

---

**Source URL (retrieved on 17 Oct 2024 - 11:21):** <https://www.bsc.es/es/research-and-development/projects/red-riscv-red-riscv-investigaci%C3%B3n-formaci%C3%B3n-e-innovaci%C3%B3n-en>