

[Inicio](#) > Investigadores del BSC presentan parámetros de tiempo fiables para STT-MRAM

Investigadores del BSC presentan parámetros de tiempo fiables para STT-MRAM



Barcelona, 2-5 de Octubre de 2017.- Investigadores del BSC han publicado los primeros parámetros de tiempo fiables y detallados de la memoria Spin-Transfer Torque Magnetic Random Access Memory ([STT-MRAM](#)), permitiendo una simulación fiable a nivel de sistema de esta tecnología. Los parámetros han sido hoy presentados en la conferencia titulada [The International Symposium on Memory Systems 2017](#) (MEMSYS) que tiene lugar entre el 2 y el 5 de octubre de 2017 en la ciudad de Washington DC. El enfoque del BSC en la simulación de memoria STT-MRAM se ha realizado con la cooperación de [Everspin Technologies Inc.](#), líder mundial en el diseño y producción de STT-MRAM.

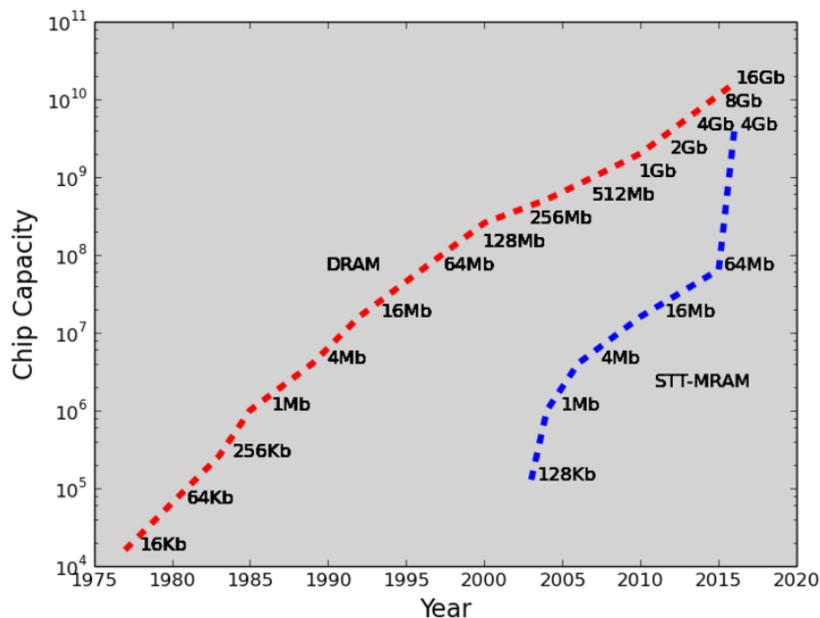


Figura 1. Con aproximadamente 10 años de edad, STT-MRAM está alcanzando rápidamente la tecnología tradicional DRAM. En la figura se muestra la línea del tiempo comparado con la capacidad de desarrollo del chip, y se puede observar claramente como la brecha entre estas dos tecnologías mengua a gran velocidad.

STT-MRAM es una tecnología de memoria prometedor con un conjunto de propiedades muy atractivas tales como la no-volatilidad, byte-addressability y una alta resistencia. Tiene el potencial de convertirse en la *memoria universal* que podría incorporarse en todos los niveles de la jerarquía de la memoria. Como memoria principal, STT-MRAM está alcanzando rápidamente a la tecnología DRAM madura, tal y como se muestra en la Figura 1; como resultado, ha atraído un notable interés por parte de un gran número de los principales fabricantes de memoria. Sin embargo, la investigación académica actual en STT-MRAM es marginal, debido principalmente a que no se han estandarizado ni compartido por ninguna industria parámetros de tiempo bien definidos y fiables. De ese modo, los investigadores siguen teniendo problemas para realizar una simulación de memoria STT-MRAM fiable.

“Un esfuerzo intensificado en la investigación de STT-MRAM por parte de los fabricantes de memoria puede ser indicativo de que una revolución con la tecnología de memoria STT-MRAM es inminente, y esperamos ver muchos logros interesantes en esta tecnología en un futuro próximo. Ahora que se han publicado parámetros de tiempo detallados y fiables, instamos encarecidamente a la academia que explore las oportunidades que esta tecnología tiene por ofrecer” concluye Petar Radojkovic, líder de [Memory Systems for HPC](#) en el BSC.

Con el objetivo de superar este problema, el estudio del BSC analiza a fondo y publica parámetros de tiempo detallados acerca de la memoria STT-MRAM para facilitar una simulación fiable a nivel de sistema de esta tecnología. El estudio se basa en el hecho que los dispositivos de memoria STT-MRAM están y serán incorporados en el protocolo e interface de DDRx, indicando que la mayoría de *timings* no cambiarán de la memoria DRAM a STT-MRAM. En cuanto a los parámetros que sí van a ser diferentes debido a las diferencias entre las célula de almacenaje DRAM y STT-MRAM, lo mejor que se puede hacer es un análisis de sensibilidad de éstos. El estudio también sugiere rangos razonables para estos *timings* que se verifican con productos comercializados.



Figura 2: Kazi Asifuzzaman (estudiante pre-doctoral en el BSC) presentando a la MEMSYS Conference 2017.

Finalmente, los investigadores del departamento de Computer Science del BSC han incorporado perfectamente parámetros de tiempo de STT-DRAM en un simulador de memoria DRAMSim2 y se ha usado como parte de la infraestructura de simulación de sistemas de computación de altas prestaciones. Los resultados de estas simulaciones muestran que la memoria STT-MRAM proporcionará un rendimiento comparable a los sistemas DRAM, brindando oportunidades para las mejoras en los sistemas de computación de altas prestaciones. Estos resultados son también parte del proyecto europeo ExaNoDe (European Exascale Processor & Memory Node Design).

Barcelona Supercomputing Center - Centro Nacional de Supercomputación

Source URL (retrieved on 15 Jul 2024 - 12:11): [https://www.bsc.es/es/noticias/noticias-del-
bsc/investigadores-del-bsc-presentan-par%C3%A1metros-de-tiempo-fiables-para-stt-mram](https://www.bsc.es/es/noticias/noticias-del-bsc/investigadores-del-bsc-presentan-par%C3%A1metros-de-tiempo-fiables-para-stt-mram)