

[Inicio](#) > Investigadores del BSC desarrollan y validan componentes de hardware en la plataforma de De-RISC

Investigadores del BSC desarrollan y validan componentes de hardware en la plataforma de De-RISC

El proyecto europeo De-RISC está desarrollando una plataforma lista para el mercado basada en RISC-V destinada a la industria aeroespacial.



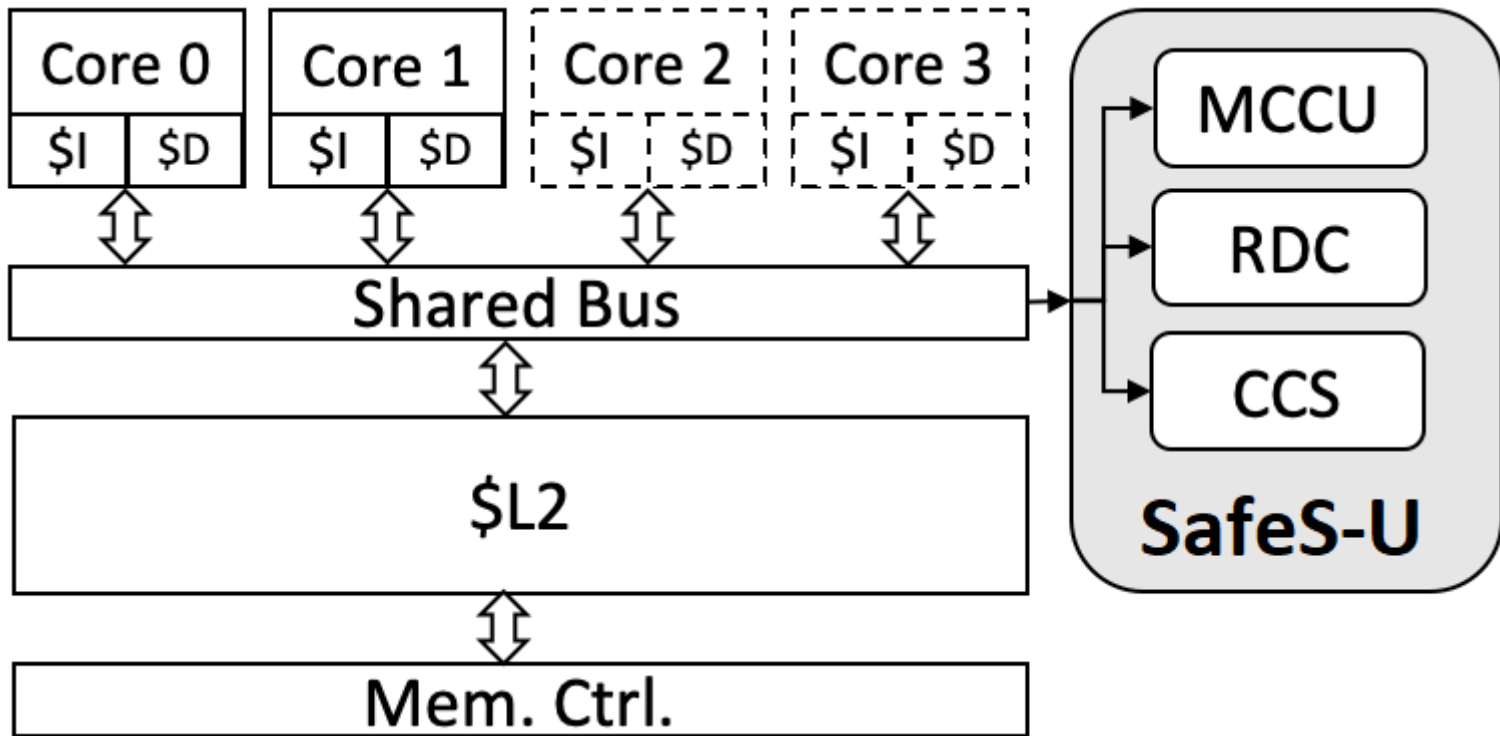
Investigadores del Barcelona Supercomputing Center-Centro Nacional de Supercomputación ([BSC](#)) han contribuido en la primera versión de la plataforma MPSoC en el proyecto [De-RISC](#) y en la unidad de supervisión de rendimiento (*Performance Monitoring Unit* en inglés), así integrando capacidades de observabilidad (Cycle Contention Stack, Request Duration Counter) y controlabilidad (Maximum-Contention Control Unit). Particularmente, los expertos del BSC han completado la implementación de SafeS-U, una unidad de supervisión de rendimiento para medir y controlar la interferencia de tiempo multi-núcleo, facilitando con ello el desarrollo y la validación de sistemas en tiempo real relacionados con la seguridad (*safety-related real-time systems* en inglés) en la plataforma De-RISC.

“De-RISC se construye sobre la arquitectura del conjunto de instrucciones RISC-V no registrado para eliminar restricciones en el ámbito espacial e incorporar previsibilidad de tiempo y tecnología de validación desde el BSC”, dice Jaume Abella, investigador principal del proyecto De-RISC en el BSC.

Esta es una de las mayores contribuciones del BSC desarrolladas en el primer año del proyecto europeo De-RISC, el cual tiene como objetivo allanar el camino para potenciar futuras aplicaciones espaciales y aeronáuticas con tecnología europea. El proyecto garantizará el acceso a tecnología hecha en Europa para

aplicaciones aeroespaciales a través del uso de la arquitectura del conjunto de instrucciones (*Instruction Set Architecture, ISA* en inglés) **RISC-V** en su plataforma final eliminando de esta forma restricciones de exportación para propietarios ISAs.

En los próximos meses, el consorcio del proyecto continuara demostrando su compromiso a la tecnología De-RISC y los investigadores del BSC por su parte se enfocarán en la validación del rendimiento de la plataforma.



Componentes del hardware Safe Statistics Unit (SafeS-U)

Para más información sobre el proyecto De-RISC y los desarrollos del BSC dentro del proyecto, por favor consulte [publicaciones De-RISC](#) (2020), [Ada user journal vol41](#)(2).

Nota de prensa De-RISC: <https://derisc-project.eu/de-risc-first-anniversary/>

Sobre De-RISC

De-RISC (Dependable Real-time Infrastructure for Safety-critical Computer) es un proyecto

europeo cuya tipología se encuentra dentro de la “Innovation Action”, la duración de este será de 30 meses y estará cofinanciado por la Comisión Europea. Este proyecto empezó en octubre de 2019 y cuenta con un presupuesto de 3.444.625 €. El proyecto presentará una plataforma de hardware y software apta para el mercado basada en el conjunto de instrucciones RISC-V, comercializando un sistema multinúcleo integrado en chip basado en esta ISA diseñado por Cobham Gaisler y un sistema con particionado temporal y espacial basado en el hipervisor [XtratuM](#) de fentISS.

El consorcio está formado por cuatro socios que cuentan con gran experiencia en el sector aeroespacial con sistemas críticos y seguros. El hipervisor XtratuM de [fentISS](#) (España) ha sido elegido para varias misiones del espacio, entre ellas, la constelación de satélites [OneWeb](#), el satélite genérico para constelaciones PLATINO, ARGOS-NEO ANGELS, EyeSat, MERLIN, JUICE y MMX. La serie de [procesadores LEON](#),

desarrollada por [Cobham Gaisler](#), se ha utilizado en diferentes misiones de la [ESA](#). El [Barcelona Supercomputing Center](#) es un referente como centro de investigación puntero en Europa, y ha colaborado estrechamente con Gaisler y Thales en proyectos europeos tales como SAFURE y PROXIMA. Y, por último, Thales Research and Technology es líder mundial en sistemas informáticos para misiones espaciales, con una experiencia amplia en los sectores aeroespaciales.

Barcelona Supercomputing Center - Centro Nacional de Supercomputación

Source URL (retrieved on 14 Jul 2024 - 09:13): <https://www.bsc.es/es/noticias/noticias-del-bsc/investigadores-del-bsc-desarrollan-y-validan-componentes-de-hardware-en-la-plataforma-de-de-risc>