

[SGR2021_PPHA: Parallel Programming and Acceleration with Heterogeneous Architectures](#)

Description

En este proyecto pretendemos utilizar el conocimiento desarrollado en BSC referente a procesadores multinúcleo basados en el juego de instrucciones abierto RISC-V y sistemas hardware de gestión de tareas con dependencias para integrar un sistema multinúcleo de procesadores fuera de orden capaz de adaptarse por hardware a las características de la aplicación que se está ejecutando. Este sistema, actualmente estimado en un nivel de madurez de la tecnología (TRL) 3, sería desarrollado hasta el nivel (TRL) 6, de forma que se pudiera tener un producto transferible a la industria.

A pesar de que se han publicado distintos estudios académicos sobre este tipo de sistemas, no existe todavía en el mercado ningún procesador comercial que integre estas características por lo que creemos que es un producto que puede resultar muy interesante para el incipiente mercado de diseño de procesadores que se está generando a nivel mundial y especialmente en Europa a raíz de la crisis de microchips. Para crear un sistema de este tipo BSC se encuentra en una posición única ya que dispone de conocimiento crítico en cada uno de los componentes que integrarían el sistema: procesador RISC-V, sistemas multinúcleo y hardware de gestión de tareas con dependencias. Pretendemos diseñar un prototipo sintetizable a nivel de puertas lógicas y probarlo en un entorno basado en FPGAs para poder obtener resultados realistas en ejecución que nos permitan transferir dicha tecnología hacia la industria mediante la licencia o venta de la propiedad intelectual. Adicionalmente, el conocimiento desarrollado mejorará la capacidad del sistema español de ciencia en el área de desarrollo de microchips.

Barcelona Supercomputing Center - Centro Nacional de Supercomputación

Source URL (retrieved on 16 jul 2024 - 01:44): <https://www.bsc.es/ca/research-and-development/projects/sgr2021ppha-parallel-programming-and-acceleration-heterogeneous-0>