

Investigadors del BSC desenvolupen i validen components de hardware a la plataforma de De-RISC

El projecte europeu De-RISC està desenvolupant una plataforma llesta per al mercat basada en RISC-V i destinada a la indústria aeroespacial.



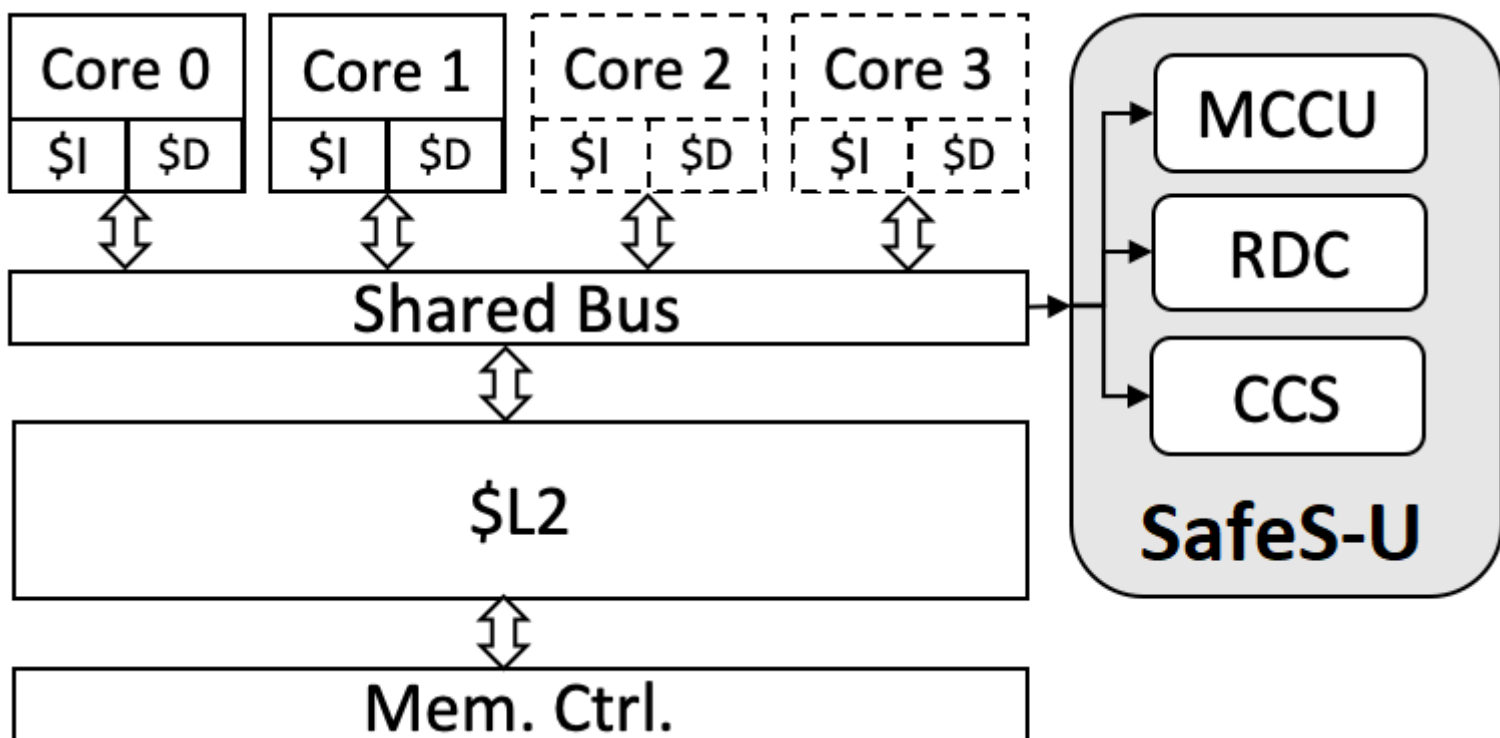
Investigadors del Barcelona Supercomputing Center-Centro Nacional de Supercomputación ([BSC](#)) han contribuït a la primera versió de la plataforma MPSoC del projecte [De-RISC](#) i a la unitat de supervisió de rendiment (Performance Monitoring Unit en anglès), que ha suposat la integració de capacitats d'observabilitat (Cycle Contention Stack, Request Duration Counter) i controlabilitat (Maximum-Contention Control Unit). Particularment, els experts del BSC han completat la implementació de SafeS-U, una unitat de supervisió de rendiment per mesurar i controlar la interferència de temps multi-nucli (*multicore* en anglès), i així facilitar el desenvolupament i la validació de sistemes de temps real relacionats amb la seguretat (*safety-related real-time systems* en anglès) a la plataforma De-RISC.

“De-RISC es construeix sobre l'arquitectura del conjunt d'instruccions RISC-V no registrat per eliminar restriccions en l'àmbit espacial i incorporar previsibilitat de temps i tecnologia de validació des del BSC”, diu Jaume Abella, investigador principal del projecte De-RISC al BSC.

Aquesta és una de les aportacions més importants del BSC, desenvolupades al primer any del projecte europeu De-RISC, que té com a objectiu aplanar el camí per potenciar futures aplicacions espacials i aeronàutiques amb tecnologia europea. El projecte garantirà l'accés a tecnologia feta a Europa per a aplicacions aeroespacials a través de l'ús d'arquitectura del conjunt d'instruccions (*Instruction Set Architecture, ISA*)

en anglès) [RISC-V](#) a la seva plataforma final, de manera que eliminarà les restriccions d'exportació per a propietaris ISAs.

Als propers mesos, el consorci del projecte continuarà demostrant el seu compromís a la tecnologia De-RISC i els investigadors del BSC es centraran en la validació del rendiment de la plataforma.



Components del hardware Safe Statistics Unit (SafeS-U)

Per a més informació sobre el projecte De-RISC i els desenvolupaments del BSC dins del projecte, consulteu [publicacions De-RISC](#) (2020), [Ada user journal vol41](#) (2).

Nota de premsa de De-RISC: <https://derisc-project.eu/de-risc-first-anniversary/>

Sobre De-RISC

De-RISC (Dependable Real-time Infrastructure for Safety-critical Computer) és un projecte europeu de tipus “Innovation Action”, amb una duració de 30 mesos i cofinançat per la Comissió Europea. Aquest projecte va començar a l'octubre de 2019 i té un pressupost de 3.444.625 €. El projecte presentarà una plataforma de hardware i software apta per al mercat basada en el conjunt d'instruccions RISC-V, i comercialitzarà un sistema multi-nucli integrat en xip dissenyat per Cobham Gaisler i un sistema amb partició temporal i espacial basat en l'hipervisor [XtratuM](#) de fentISS.

El consorci està format per quatre socis que compten amb una gran experiència en el sector aeroespacial amb sistemes crítics i segurs. L'hipervisor XtratuM de [fentISS](#) (Espanya) ha estat escollit per a diverses missions espacials, que inclouen la constel·lació de satèl·lits [OneWeb](#), el satèl·lit genèric per a constel·lacions PLATINO, i ARGOS-NEO ANGELS, EyeSat, MERLIN, SVOM, JUICE i MMX entre d'altres. La sèrie de [processadors LEON](#), desenvolupada per [Cobham Gaisler](#), s'ha fet servir en diferents missions de la [ESA](#). El [Barcelona Supercomputing Center](#) és un referent com a centre de recerca capdavanter a Europa, i ha col·laborat estretament amb Gaisler i Thales en projectes europeus com SAFURE i PROXIMA. [Thales](#) és líder mundial en sistemes informàtics per a missions espacials, amb una àmplia experiència en els sectors aeroespacials.

Barcelona Supercomputing Center - Centro Nacional de Supercomputación

Source URL (retrieved on 15 set 2024 - 20:43): <https://www.bsc.es/ca/noticies/noticies-del-bsc/investigadors-del-bsc-desenvolupen-i-validen-components-de-hardware-la-plataforma-de-de-risc>